



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ Patentschrift  
⑩ DE 199 21 868 C 2

⑤1 Int. Cl. 7:  
G 11 C 14/00  
G 11 C 17/16  
G 11 C 29/00

②1 Aktenzeichen: 199 21 868.4-53  
②2 Anmeldetag: 11. 5. 1999  
④3 Offenlegungstag: 23. 11. 2000  
④5 Veröffentlichungstag  
der Patenterteilung: 15. 3. 2001

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑦3 Patentinhaber:  
Siemens AG, 80333 München, DE

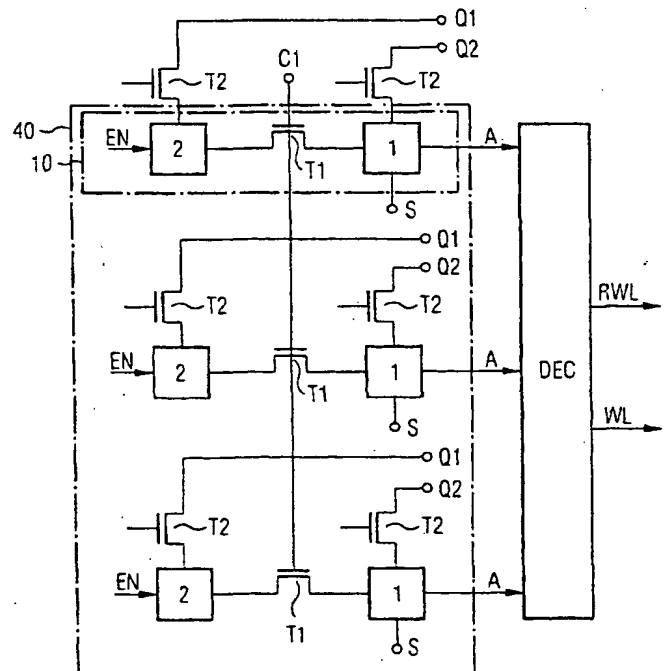
⑦2 Erfinder:  
Kaiser, Robert, 86916 Kaufering, DE; Schamberger,  
Florian, 83435 Bad Reichenhall, DE

⑤6 Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:

DE 197 25 581 A1  
DE 196 39 613 A1  
US 56 77 917

⑤4 Schaltungsanordnung zur Kontrolle von Zuständen einer Speichereinrichtung

- ⑤7 Schaltungsanordnung mit Speichereinrichtungen (10), die jeweils ein programmierbares Element (2) und ein flüchtiges Speicherelement (1) umfassen, mit den Merkmalen:
- je Speichereinrichtung (10) ist ein Ausgang des programmierbaren Elements (2) über ein Schaltmittel (T1) mit einem Eingang des flüchtigen Speicherelements (1) verbunden,
  - die jeweilige Speichereinrichtung (10) weist wenigstens einen Ausgang (Q1, Q2) auf zur Ausgabe des jeweiligen Zustandes des programmierbaren Elements (2) und des flüchtigen Speicherelements (1),
  - die Speichereinrichtungen (10) sind mit einer Auswahl-schaltung (20) verbunden und über die Auswahl-schaltung (20) einzeln adressierbar zur Ausgabe und zur Bewertung der Zustände des programmierbaren Elements (2) und des flüchtigen Speicherelements (1) der jeweiligen Speichereinrichtung (10),
  - die Schaltungsanordnung weist ein weiteres flüchtiges Speicherelement (3) auf, das mit dem Ausgang (Q1) zur Ausgabe des Zustandes des programmierbaren Elements (2) einer der Speichereinrichtungen (10) verbunden ist zum Speichern des Zustandes des programmierbaren Elements (2) in dem weiteren flüchtigen Speicherelement (3), und
  - ein Ausgang des weiteren flüchtigen Speicherelements (3) und der Ausgang (Q2) zur Ausgabe des Zustandes des flüchtigen Speicherelements derselben Speichereinrichtung (10) sind an einer Vergleichseinrichtung (30) angeschlossen zum Vergleich der an den jeweiligen Ausgängen anliegenden Signale.



DE 199 21 868 C 2

DE 199 21 868 C 2

## Beschreibung

Die Erfindung betrifft eine Schaltungsanordnung mit Speichereinrichtungen, die programmierbare Elemente und flüchtige Speicherelemente umfassen, zur Kontrolle von deren Zuständen.

Integrierte Schaltungen, insbesondere integrierte Speicher, weisen zur Reparatur fehlerhafter Speicherzellen redundante Wortleitungen oder redundante Bitleitungen auf, die reguläre Leitungen mit defekten Speicherzellen adressenmäßig ersetzen können. Dabei wird der integrierte Speicher beispielsweise mit einer Selbsttesteinrichtung geprüft und anschließend eine Programmierung der redundanten Elemente vorgenommen. Eine Redundanzschaltung weist dann programmierbare Elemente zum Beispiel in Form von elektrischen Fuses auf, die zum Speichern der Adresse einer zu ersetzenden Leitung dienen. Die elektrischen Fuses sind elektrische Verbindungselemente, deren Leitungswiderstand beispielsweise am Ende des Herstellungsprozesses des integrierten Speichers mittels einer sogenannten Brennschaltung veränderbar sind.

Aus der US 5,313,424 A ist ein integrierter Speicher mit Selbstreparaturfunktion bekannt. Eine Selbsttesteinheit prüft die Speicherzellen des Speichers und speichert anschließend die Adresse von defekten Wortleitungen in einem entsprechenden Adreßregister. Dem Speicher wird anschließend von extern ein Aktivierungssignal mit einem hohen Potentialpegel zugeführt, woraufhin auftrennbare elektrische Verbindungselemente (Fuses), die Bestandteil einer Redundanzschaltung sind, zur Codierung der im Adreßregister gespeicherten fehlerhaften Wortadressen zerstört werden. Das Zerstören der Fuses erfolgt dabei mittels eines hohen Stromes, der sie zum Schmelzen bringt.

Mit einer weiteren Schaltungsanordnung aus der älteren Anmeldung DE 198 43 470 A1 ist eine externe Analyse der festgestellten Fehler möglich. Eine Speichereinheit zum Speichern der durch die Selbsttesteinheit ermittelten Adresse weist einen Ausgang auf, der mit einem entsprechenden Ausgang der Schaltungsanordnung zur Ausgabe der jeweils gespeicherten Adresse verbunden ist. Somit kann bei Bedarf durch den Hersteller der integrierten Schaltung festgestellt werden, ob im Rahmen des Selbsttests des Speichers Fehler festgestellt wurden und ob eine Selbstreparatur durchgeführt wurde. Ferner kann durch den Hersteller festgestellt werden, welche Adresse die festgestellten Fehler haben.

Eine flüchtige Speichereinheit, wie beispielsweise ein Adreßregister oder Adreßlatch, läßt sich problemlos durch eine Selbsttesteinheit mit Informationen beschreiben, da hierfür keine über die normalen Signalpegel des Speichers hinausgehenden Spannungen oder große Ströme notwendig sind. Ein Vorsehen einer weiteren, nicht flüchtigen Speichereinheit hat den Vorteil, daß der Selbsttest des Speichers nicht jedesmal wiederholt werden muß, wenn die flüchtige Speichereinheit (beispielsweise nach dem Ausschalten der Versorgungsspannung) die in ihr gespeicherte Adresse verloren hat. Bei Vorsehen nur einer flüchtigen Speichereinheit müßte ansonsten beispielsweise bei jeder Initialisierung des Speichers mittels eines Selbsttests die Adresse der zu ersetzenden normalen Einheiten wieder neu ermittelt werden. Die Adresse wird folglich in einem weiteren Schritt permanent in der nicht flüchtigen Speichereinheit gespeichert. Anschließend muß zur Wiederherstellung des Speicherinhalts der flüchtigen Speichereinheit, beispielsweise bei jeder auf das Anlegen der Versorgungsspannung folgenden Initialisierung des Speichers, die in der nicht flüchtigen Speichereinheit gespeicherte Adresse in die flüchtige Speichereinheit übertragen werden.

Insbesondere bei der Verwendung von elektrischen Fuses erfolgt der zur Programmierung der Fuses durchgeführte Brennvorgang nicht immer zuverlässig. Der zur Wiederherstellung des Speicherinhalts der flüchtigen Speichereinheit durchgeführte Übertragungsvorgang kann demzufolge nicht immer zuverlässig gelingen. Die Folge davon ist beispielsweise eine fehlerhaft gespeicherte Adresse in der flüchtigen Speichereinheit nach dem Übertragungsvorgang. Es ist daher wünschenswert zu überprüfen, ob die jeweilige elektrische Fuse so gesetzt wurde, daß das flüchtige Speicherelement die ursprünglich gespeicherte Information wieder aus dem Zustand der betreffenden Fuse rekonstruieren kann.

In der DE 198 43 470 A1 ist der Ausgang der dortigen ersten flüchtigen Speichereinheit ein serieller Ausgang zur bitweisen Ausgabe der gespeicherten Adresse. Dies hat den Vorteil, daß die Speichereinheit lediglich diesen einen Ausgang aufweist. Allerdings bedeutet ein damit verbundener serieller Schieberegister, daß die in den flüchtigen Speicherelementen gespeicherte Information zunächst gelöscht wird und bei einem rückgekoppelten Schieberegister erst nach einem kompletten Durchlauf die ursprünglich enthaltene Information wieder hergestellt ist. Im vorliegenden Anwendungsfall ist es hingegen wichtig, daß die in dem jeweiligen flüchtigen Speicherelement gespeicherte Information dauerhaft erhalten bleibt, um sie zu einem späteren Zeitpunkt zuverlässig mit dem aus der Fuse rekonstruierten Zustand vergleichen zu können.

Aus DE 196 39 613 A1 ist ein integrierter Speicher und eine Paralleltest-Schaltungsanordnung bekannt, bei der eine Testinformation in mehrere Speicherblöcke eingeschrieben wird. Während eines gleichzeitigen Auslesens der Testinformation der Speicherblöcke dient einer der Speicherblöcke bei einem Paralleltest als Referenzblock zum Vergleich von aus den jeweiligen Speicherblöcken auszulesenden Daten.

Aus US 5 677 917 ist ein integrierter Speicher bekannt, der sogenannte programmierbare Fuses aufweist, die jeweils an auslesbare Flip-Flops gekoppelt sind. Die Flip-Flops sind zum Auslesen ihres jeweiligen Zustandes in einer Reihenschaltung miteinander verbunden.

In DE 197 25 581 A1 ist eine Anordnung mit Speicherzellen beschrieben, bei der durch ein Prüfmittel eine Funktionsüberprüfung von Speicherzellen erfolgt. Dabei wird eine erste Gruppe von Speicherzellen geprüft und entsprechende Prüfergebnisse in einer zweiten Gruppe von Speicherzellen zwischengespeichert.

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung mit Speichereinrichtungen, die jeweils ein programmierbares Element und ein flüchtiges Speicherelement umfassen, anzugeben, bei der Zustände der flüchtigen Speicherelemente so auslesbar sind, daß die gespeicherte Information erhalten bleibt, und die daraufhin überprüfbar ist, ob die ursprünglich einem flüchtigen Speicherelement zugeordnete Information aus dem Zustand des zugeordneten programmierbaren Elements rekonstruierbar ist.

Die Aufgabe wird gelöst mit einer Schaltungsanordnung gemäß Patentanspruch 1. Vorteilhafte Aus- und Weiterbildungen der Erfindung sind Gegenstand abhängiger Ansprüche.

Die Schaltungsanordnung weist Speichereinrichtungen auf, die jeweils ein programmierbares Element und ein flüchtiges Speicherelement umfassen. Zum Speichern eines Zustands des programmierbaren Elements in dem flüchtigen Speicherelement ist je Speichereinrichtung ein Ausgang des programmierbaren Elements mit einem Eingang des flüchtigen Speicherelements verbunden. Zur Überprüfung des jeweiligen Zustands des flüchtigen Speicherelements und des programmierbaren Elements weist die jeweilige Speichereinrichtung wenigstens einen Ausgang auf zur Aus-

gabe des gewünschten Zustandes. Die Speichereinrichtungen sind über eine Auswahl-schaltung einzeln und direkt adressierbar zur Ausgabe der Zustände der jeweiligen Speichereinrichtung. Durch den direkten Zugriff auf die jeweilige Speichereinrichtung mit ihrem flüchtigen Speicherelement ändert sich dessen Information während eines Auslesevorgangs nicht. Zudem kann durch den direkten Zugriff auf die entsprechende Speichereinrichtung schneller und gezielter zugegriffen werden im Vergleich zu einem Ausleseverfahren mittels eines seriellen Schieberegisters. Im Umkehrschluß ist es natürlich ebenso möglich, direkt eine Information in die entsprechende Speichereinrichtung einzuschreiben.

Es lassen sich auf diese Art auch mehrere Zustände einer Speichereinrichtung parallel oder auch seriell auslesen, ohne daß der dazu notwendige zusätzliche Schaltungsaufwand wesentlich erhöht wird. Wird bei der Bewertung der Zustände des flüchtigen Speicherelements und des programmierbaren Elements derselben Speichereinrichtung ein Fehler beim bereits erfolgten Programmieren des programmierbaren Elements erkannt, so kann mit geeigneten Maßnahmen darauf reagiert werden. Eine derartige Maßnahme kann beispielsweise ein erneuter Programmiervorgang desselben programmierbaren Elements sein oder auch darin bestehen, daß der entsprechende Schaltungsteil als defekt gekennzeichnet wird.

In einer Weiterbildung der Erfindung weist die Schaltungsanordnung ein weiteres flüchtiges Speicherelement auf, das mit dem Ausgang zur Ausgabe des Zustandes des programmierbaren Elements einer der Speichereinrichtungen verbunden ist, um dessen Zustand zwischenspeichern. Der Ausgang des weiteren flüchtigen Speicherelements und der Ausgang zur Ausgabe des Zustandes des flüchtigen Speicherelements der zu überprüfenden Speichereinrichtung sind an einer Vergleichseinrichtung angeschlossen, die die an den jeweiligen Ausgängen anliegenden Signale vergleicht. Die in dem flüchtigen Speicherelement gespeicherte Information bleibt dabei erhalten. Das Vorzeichen des weiteren flüchtigen Speicherelements hat den Vorteil, daß die in dem programmierbaren Element gespeicherte Information mit vergleichbaren technischen Mitteln gelesen wird wie bei dem Übertragungsvorgang des Zustands des programmierbaren Elements in das zugeordnete flüchtige Speicherelement. Die Zustände des weiteren flüchtigen Speicherelements und des zu kontrollierenden flüchtigen Speicherelements sind an deren Ausgänge unmittelbar vergleichbar. Indem nur ein weiteres flüchtiges Speicherelement als Referenzelement vorgesehen wird, das mit der jeweiligen zu testenden Speichereinrichtung verbunden ist, wird der zusätzliche Schaltungsaufwand niedrig gehalten. Es ist in diesem Zusammenhang jedoch auch möglich, jede zu testende Speichereinrichtung mit einem Referenzelement zu versehen.

Besonders vorteilhaft ist es, wenn das weitere flüchtige Speicherelement und das flüchtige Speicherelement der zu testenden Speichereinrichtung gleich aufgebaut sind. Dadurch werden die Ergebnisse am Ausgang der Vergleichseinrichtung nochmals verbessert.

In einer Ausgestaltung der programmierbaren Elemente weisen diese elektrisch programmierbare Fuses auf. Denkbar sind auch Ausführungen mit Laser-Fuses. Im ersteren Fall kann die Programmierung der programmierbaren Elemente mittels einer von extern angelegten Brennspannung am gehäuteten Halbleiterbaustein am Ende der Herstellung der integrierten Schaltung durchgeführt werden.

Die Adressierung der Speichereinrichtungen mittels der Auswahl-schaltung läßt sich ähnlich realisieren wie beispielsweise eine Adressierung von Speicherzellen üblicher

Halbleiterspeicher. Die Speichereinrichtungen sind dabei zu adressierbaren Einheiten zusammengefaßt. Der Zugriff auf eine der Einheiten erfolgt über einen ersten Teil von Adreßbits einer angelegten Adresse und der Zugriff auf eine der Speichereinrichtungen innerhalb der jeweiligen Einheit über einen zweiten Teil von Adreßbits derselben Adresse. Dies entspricht im wesentlichen der bei üblichen Halbleiterspeichern praktizierten Adressierung mittels Reihen- und Spaltenadressen.

Die Erfindung eignet sich für beliebige Schaltungen mit Speichereinrichtungen, die programmierbare Elemente und zugeordnete flüchtige Speicherelemente umfassen. Die erfindungsgemäße Schaltungsanordnung kann insbesondere in einem integrierten Halbleiterspeicher verwendet werden, der Speicherzellen aufweist, die zu einzeln adressierbaren normalen Einheiten und adressierbaren redundanten Einheiten zum Ersetzen einer der normalen Einheiten zusammengefaßt sind. Bei den normalen beziehungsweise redundanten Einheiten kann es sich beispielsweise um Wortleitungen oder Bitleitungen oder um ganze Speicherblöcke des Speichers handeln. Der integrierte Speicher kann beispielsweise ein beschreibbarer Speicher sein, wie zum Beispiel ein DRAM, SRAM, Flash-Speicher oder EEPROM. Ein solcher Halbleiterspeicher weist ferner eine Speichereinheit auf, die mehrere der Speichereinrichtungen umfaßt, zum Speichern einer Adresse der durch die redundante Einheit zu ersetzenden normalen Einheit. Jede der Speichereinrichtungen speichert dabei eines von mehreren Adreßbits der angelegten Adresse. Mittels der erfindungsgemäßen Schaltungsanordnung kann nach dem Programmieren der entsprechenden Adresse diese daraufhin überprüft werden, ob der Programmiervorgang einwandfrei vorgenommen wurde.

Im folgenden wird die Erfindung anhand der in der Zeichnung dargestellten Figuren näher erläutert. Es zeigen:

Fig. 1 eine Ausführung der erfindungsgemäßen Schaltungsanordnung,

Fig. 2 eine Schaltungsanordnung mit mehreren Speichereinrichtungen, die über eine Auswahl-schaltung adressierbar sind,

Fig. 3 eine Darstellung einer aus Adreßbits zusammengesetzten Adresse, und

Fig. 4 ein Ausführungsbeispiel einer Speichereinrichtung aus Fig. 1 mit einem Referenzelement.

Fig. 1 ist eine Schaltungsanordnung mit Speichereinrichtungen 10 zu entnehmen, die jeweils ein programmierbares Element 2 und ein flüchtiges Speicherelement 1 umfassen. Je Speichereinrichtung 10 ist ein Ausgang des programmierbaren Elements 2 mit einem Eingang des flüchtigen Speicherelements 1 über ein Schaltmittel T1, vorzugsweise einen Transistor, verbunden zum Speichern eines Zustands des programmierbaren Elements 2 in dem flüchtigen Speicherelement 1. Die Transistoren T1 werden dabei über das Steuersignal C1 angesteuert. Der Programmiervorgang eines jeweiligen programmierbaren Elements 2 erfolgt über das Aktivierungssignal EN. Die Zustände des programmierbaren Elements 2 und des flüchtigen Speicherelements 1 sind über die Transistoren T2 an den Ausgängen Q1 beziehungsweise Q2 entnehmbar.

Die dargestellte Schaltungsanordnung ist in Fig. 1 Teil eines integrierten Halbleiterspeichers. Die Speichereinrichtungen 10 bilden dabei in ihrer Summe die Speichereinheit 40, in der beispielsweise eine Adresse einer zu ersetzenden normalen defekten Einheit gespeichert ist. Diese wird über die Ausgänge A an eine Decoderschaltung DEC gegeben, die die defekte normale Einheit, beispielsweise eine Wortleitung WL, durch eine redundante Einheit, beispielsweise eine redundante Wortleitung RWL, ersetzt.

Fig. 2 zeigt eine Schaltungsanordnung mit mehreren

Speichereinrichtungen 10, die über eine Auswahl- schaltung 20 adressierbar sind. Der Zugriff auf eine der Speichereinrichtungen 10 mittels der angelegten Adresse ADR erfolgt dabei über einen ersten Adreßteil ADR1, der sich hier aus den höherwertigen Adreßbits a3 und a4 der Adresse ADR zusammensetzt, und über einen zweiten Adreßteil ADR2, der sich hier aus den niederwertigen Adreßbits a0 bis a2 der Adresse ADR zusammensetzt. Die Aufteilung der Adresse ADR in ihren ersten Adreßteil ADR1 und ihren zweiten Adreßteil ADR2 ist zur Verdeutlichung in verallgemeinerter Weise in Fig. 3 dargestellt.

In Fig. 4 ist ein Ausführungsbeispiel einer Speichereinrichtung 10 aus Fig. 1 dargestellt mit einem weiteren flüchtigen Speicherelement oder auch Referenzelement 3 und einer daran und an den Ausgang Q2 der Speichereinrichtung 10 angeschlossenen Vergleichseinrichtung 30. Das programmierbare Element 2 umfaßt eine elektrische Fuse F, die einerseits mit einem Potential V1 und andererseits mit einem Transistor T5 verbunden ist, über dessen Aktivierungssignal EN ein Brennvorgang eingeleitet wird. Das Potential V1 entspricht während des Programmierens beispielsweise einer Brennspannung VBURN. Ist die Fuse F in einer Ausführungsart im nicht programmierten Zustand niederohmig, fließt von dem Anschluß für das Potential V1 zu dem Anschluß für das Potential V2, das beispielsweise einem Bezugspotential entspricht, ein hoher Strom, der die elektrische Fuse F zum Schmelzen bringt. Das flüchtige Speicherelement 1 wird von einer Halteschaltung gebildet, die sich aus den Invertern I1 und I2 zusammensetzt. Der ausgangsseitige Anschluß der Fuse F und der Eingang der Halteschaltung sind über den Transistor T1 miteinander verbunden.

Die Zustände der Knoten K1 und K2 sind über die Transistoren T2 an den Ausgängen Q1 beziehungsweise Q2 entnehmbar. In Bezug auf eine Adressierung mit einer Adresse ADR aus Fig. 3 werden die Transistoren T2 über das Signal ak angesteuert, das einem ausgewählten Adreßbit entspricht. Im Beispiel aus Fig. 2 entspricht das Adreßbit ak einem der Adreßbits a3 oder a4.

An dem Anschluß Q1 ist über den Transistor T3 das weitere flüchtige Speicherelement 3 geschaltet, das ähnlich zu dem flüchtigen Speicherelement 1 von einer Halteschaltung gebildet ist, die einen Inverter I3 und einen dazu gegenparallel angeordneten Inverter I4 aufweist. Der Ausgang dieser Halteschaltung ist über einen Inverter I5 an die Vergleichseinrichtung 30 geschaltet. Ein zweiter Anschluß der Vergleichseinrichtung ist an den Anschluß Q2 angeschlossen. Geeignete Ausführungen der Vergleichseinrichtung 30 sind beispielsweise XOR-Gatter oder XNOR-Gatter.

Im folgenden wird die Funktionsweise der in Fig. 4 dargestellten Schaltungsanordnung erläutert:

Das flüchtige Speicherelement 1 wird über den Transistor T4 mit einem Signal S beaufschlagt, so daß der Knoten K2 dessen Zustand einnimmt. Es erfolgt ein sogenannter Softset des Knotens K2. Dieser Zustand wird anschließend in einem zweiten Schritt in dem programmierbaren Element 2 über eine geeignete Ansteuerung des Transistors T5 dauerhaft gespeichert. Nach Beendigung beispielsweise einer Redundanzanalyse wird die Schaltung von der Versorgungsspannung getrennt, woraufhin der Inhalt des flüchtigen Speicherelements 1 verloren geht, die elektrische Fuse F hingegen ihren Zustand nicht verändert. Anschließend wird zur Wiederherstellung des Speicherinhalts des flüchtigen Speicherelements 1, beispielsweise bei einer auf das Anlegen der Versorgungsspannung folgenden Initialisierung der Schaltung, die in dem programmierbaren Element 2 gespeicherte Information über den Transistor T1 in das flüchtige Speicherelement übertragen.

In dem Fall, in dem die Fuse F unvollständig program-

miert wurde, kann es vorkommen, daß die Halteschaltung des flüchtigen Speicherelements 1 beim Übertragen des Zustands am Knoten K1 diesen nicht richtig herausliest und demzufolge ein fehlerhafter Zustand gespeichert wird. Dies ist insbesondere dann kritisch, wenn das Referenzpotential am Knoten K2 in die Nähe der Schwellspannung der Inverter I1 und I2 gelangt. Ist der oben geschilderte zweite Schritt der Programmierung der Fuse F und die Abschaltung der Versorgungsspannung erfolgt, so existiert keinerlei Information mehr darüber, ob das nun in dem flüchtigen Speicherelement 1 gespeicherte Datum mit dem ursprünglichen Softset übereinstimmt, da dessen Information verlorengegangen ist.

Es ist deshalb vorgesehen, vor dem Abschalten der Versorgungsspannung und vor dem Übertragen der in der Fuse F gespeicherten Information anhand der Zustände der Knoten K1 und K2 einen Vergleich vorzunehmen, der eine Aussage darüber zuläßt, ob die Fuse F des programmierbaren Elements 2 so gesetzt wurde, daß das flüchtige Speicherelement 1 die ursprünglich im Softset gespeicherte Information wieder aus dem Zustand der Fuse F rekonstruieren kann. Dazu wird der Zustand des Knoten K1 über den Anschluß Q1 und den Transistor T3 dem weiteren flüchtigen Speicherelement 3 zugeführt, das vorteilhafterweise gleich aufgebaut ist wie das flüchtige Speicherelement 1. Der Zustand am Knoten K2 und der am Ausgang des an dem weiteren flüchtigen Speicherelement 3 angeschlossenen Inverters I5 anliegende Zustand wird über die Vergleichseinrichtung 30 an deren Ausgang D ausgewertet.

Mit anderen Worten wird also überprüft, ob das Brennen der Fuse F erfolgreich war. Stellt sich dabei heraus, daß der Zustand am Ausgang des Inverters I5 und der Zustand am Knoten K2 nicht übereinstimmen, so ist davon auszugehen, daß die über den Softset in dem flüchtigen Speicherelement 1 gespeicherte Information anhand des Zustandes des programmierbaren Elements 2 nicht fehlerfrei rekonstruiert werden kann. Über das weitere flüchtige Speicherelement 3 wird demzufolge der spätere Vorgang des Speicherns des Zustands des programmierbaren Elements 2 in dem flüchtigen Speicherelement 1 nachgebildet. Während des Auslesens des Zustands am Knoten K2 über den Transistor T2 bleibt die in dem flüchtigen Speicherelement 1 anhand des Softsets gespeicherte Information erhalten.

#### Patentansprüche

1. Schaltungsanordnung mit Speichereinrichtungen (10), die jeweils ein programmierbares Element (2) und ein flüchtiges Speicherelement (1) umfassen, mit den Merkmalen:

- je Speichereinrichtung (10) ist ein Ausgang des programmierbaren Elements (2) über ein Schaltmittel (T1) mit einem Eingang des flüchtigen Speicherelements (1) verbunden,
- die jeweilige Speichereinrichtung (10) weist wenigstens einen Ausgang (Q1, Q2) auf zur Ausgabe des jeweiligen Zustandes des programmierbaren Elements (2) und des flüchtigen Speicherelements (1),
- die Speichereinrichtungen (10) sind mit einer Auswahl- schaltung (20) verbunden und über die Auswahl- schaltung (20) einzeln adressierbar zur Ausgabe und zur Bewertung der Zustände des programmierbaren Elements (2) und des flüchtigen Speicherelements (1) der jeweiligen Speichereinrichtung (10),
- die Schaltungsanordnung weist ein weiteres flüchtiges Speicherelement (3) auf, das mit dem

- Ausgang (Q1) zur Ausgabe des Zustandes des programmierbaren Elements (2) einer der Speichereinrichtungen (10) verbunden ist zum Speichern des Zustandes des programmierbaren Elements (2) in dem weiteren flüchtigen Speicherelement (3), und 5
- ein Ausgang des weiteren flüchtigen Speicherelements (3) und der Ausgang (Q2) zur Ausgabe des Zustandes des flüchtigen Speicherelements derselben Speichereinrichtung (10) sind an einer Vergleichseinrichtung (30) angeschlossen zum Vergleich der an den jeweiligen Ausgängen anliegenden Signale. 10
2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß das weitere flüchtige Speicherelement (3) und das flüchtige Speicherelement (1) der jeweiligen Speichereinrichtung (10), die an die Vergleichseinrichtung (30) angeschlossen ist, gleich aufgebaut sind. 15
3. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die programmierbaren Elemente (2) elektrisch programmierbare Fuses aufweisen. 20
4. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Speichereinrichtungen (10) zu adressierbaren Einheiten zusammengefaßt sind und derart an die Auswahl- 25 schaltung (20) angeschlossen sind, daß der Zugriff auf eine der Einheiten über einen ersten Teil (ADR1) von Adreßbits einer Adresse (ADR) und der Zugriff auf eine der Speichereinrichtungen (10) innerhalb der jeweiligen Einheit über einen zweiten Teil (ADR2) von Adreßbits der Adresse (ADR) steuerbar ist. 30
5. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Schaltungsanordnung Teil eines integrierten Halbleiterspeichers ist 35
- mit Speicherzellen, die zu einzeln adressierbaren normalen Einheiten (WL) zusammengefaßt sind, 40
  - mit Speicherzellen, die zu wenigstens einer adressierbaren redundanten Einheit (RWL) zum Ersetzen einer der normalen Einheiten (WL) zusammengefaßt sind, 45
  - mit einer Speichereinheit (40), die mehrere der Speichereinrichtungen (10) umfaßt, zum Speichern einer Adresse der durch die redundante Einheit (RWL) zu ersetzenden normalen Einheit (WL). 50

---

Hierzu 3 Seite(n) Zeichnungen

---

55

60

65

FIG 1

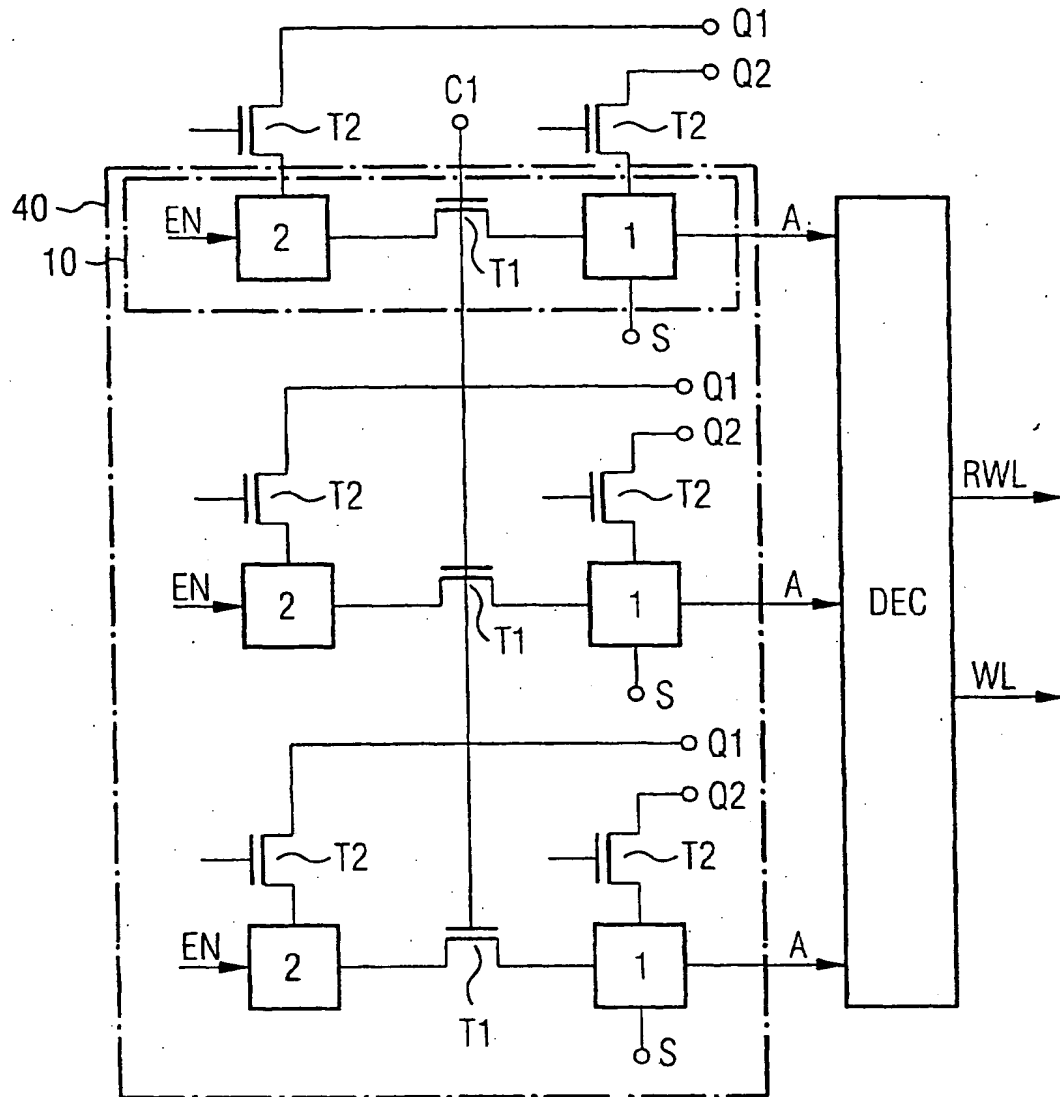


FIG 2

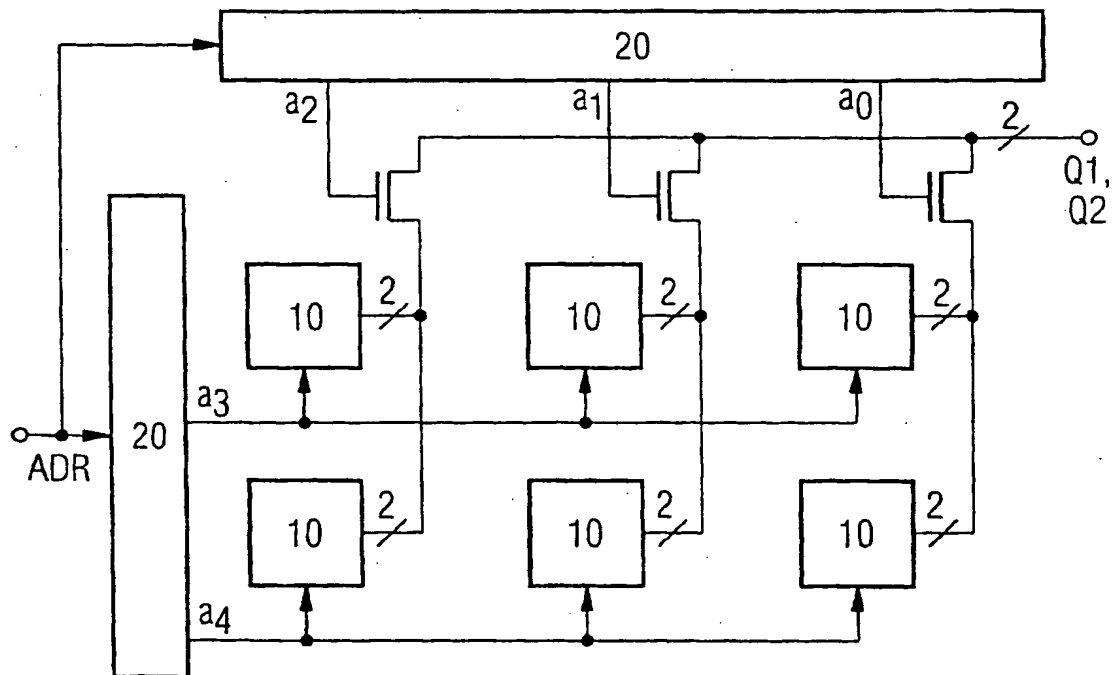
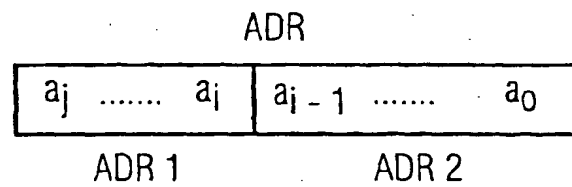


FIG 3



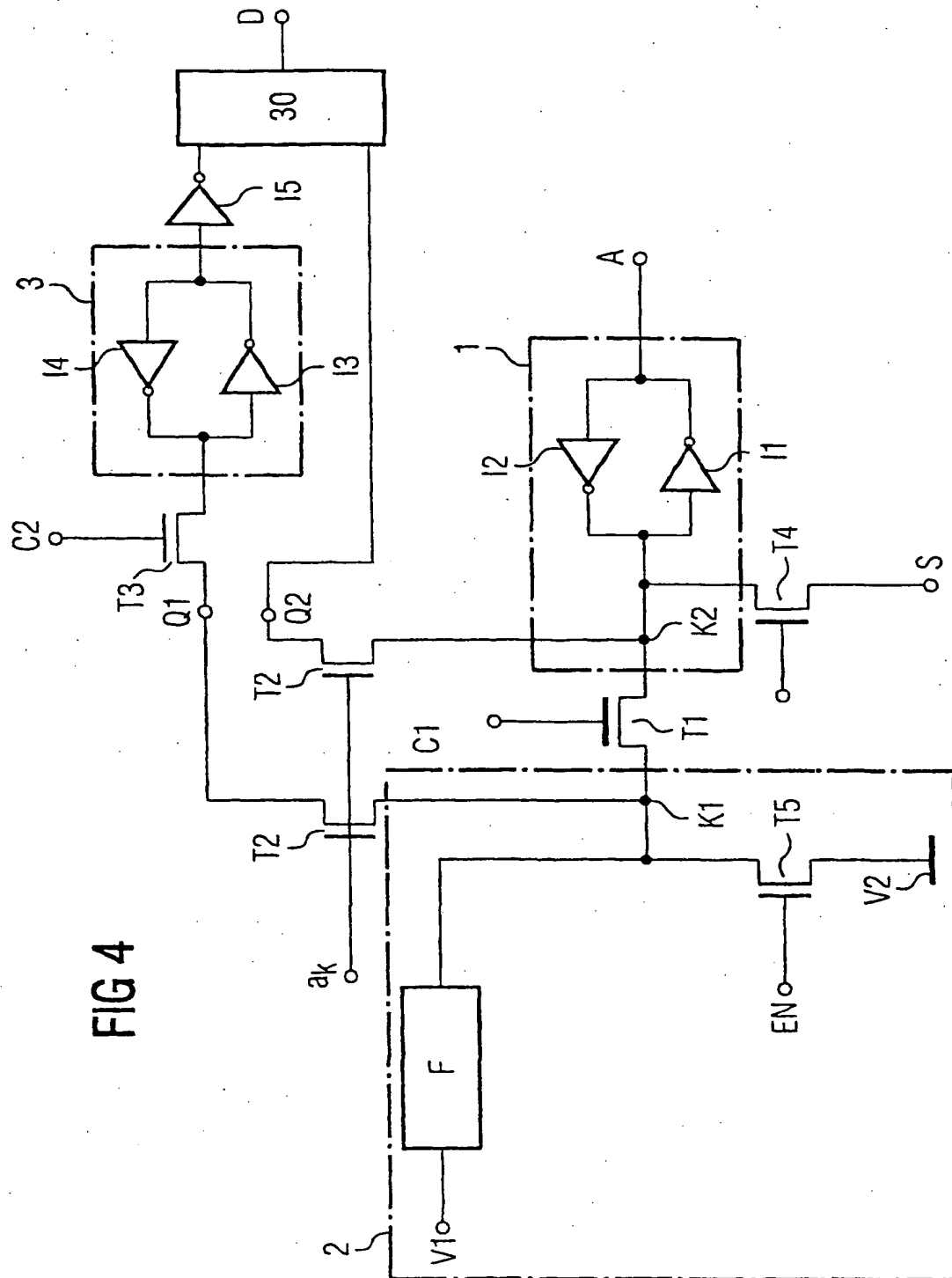


FIG 4



**Circuit configuration for monitoring states of a memory device**

Patent Number: US6288939  
Publication date: 2001-09-11  
Inventor(s): SCHAMBERGER FLORIAN (DE); KAISER ROBERT (DE)  
Applicant(s): INFINEON TECHNOLOGIES (US)  
Requested Patent: DE19921868  
Application Number: US20000568941 20000511  
Priority Number(s): DE19991021868 19990511  
IPC Classification: G11C14/00  
EC Classification: G11C7/10M7, G11C8/06, G11C11/404, G11C14/00, G11C29/00B2B2S, G11C29/00B2B8  
Equivalents: JP2000339988

---

**Abstract**

---

A circuit configuration has memory devices, each containing a programmable element and a volatile memory element. For each of the memory devices, the programmable element is connected to the volatile memory element to store a state of the programmable element in the volatile memory element. A respective memory device has at least one output for checking the respective state of the programmable element in the associated volatile memory element. The memory devices can be addressed individually via a selection circuit to output the states of the programmable element and of the volatile memory element. The information stored in the volatile memory element is retained in this process

---

Data supplied from the esp@cenet database - I2

DOCKET NO: P2002, 0627

SERIAL NO: \_\_\_\_\_

APPLICANT: Peter Beer

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100